

ALIGNMENT METHOD AND MANUFACTURE OF ELEMENT USING THE SAME

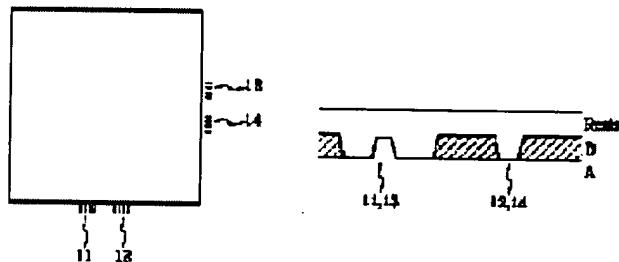
Patent number: JP7321012
Publication date: 1995-12-08
Inventor: UZAWA SHIGEYUKI
Applicant: CANON INC
Classification:
 - **international:** H01L21/027; G03F9/00
 - **European:**
Application number: JP19940111021 19940525
Priority number(s):

Abstract of JP7321012

PURPOSE: To reduce alignment error by forming marks on a plurality of layers and performing alignment on the basis of statistical calculation of the positions of the marks on a plurality of the layers.

CONSTITUTION: Alignment marks 11, 13 are formed on an A layer, and alignment marks 12, 14 are formed on a B layer. When the position of shot obtained from the alignment marks 11, 13 on the A layer is (a), measurement error is ϵ_{a} , the position of shot obtained from the alignment marks 12, 14 on the B layer is (b), and measurement error is ϵ_{b} , the target position C of shot for forming a C layer is calculated from a formula $C=1/2(a+b)$.

Alignment error ϵ_{bc} of the B layer and the C layer at this time is given by $\epsilon_{bc}=1/2(\epsilon_{a}+(\epsilon_{a}<2>))<1/2=(\epsilon_{a}<2>+\epsilon_{b}<2>)<1/2$. Thereby alignment error is more reduced than only the measurement result of the alignment mark on the B layer.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-321012

(43)公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 30

525 D

H01L 21/30

525 F

審査請求 未請求 請求項の数 4 OL (全 7 頁) 最終頁に統べ

(21)出願番号 特願平6-111021

(22)出願日 平成6年(1994)5月25日

(71) 出願人 000001002

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 鵜沢 繁行

神奈川県川崎市中原区今井上町53番地キヤ

ノン株式会社小杉事業所内

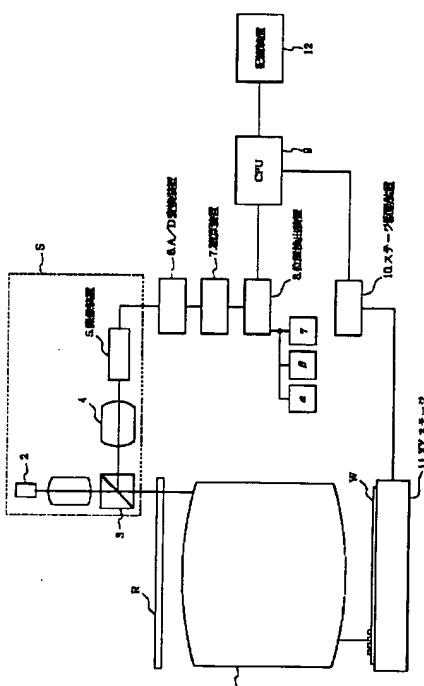
(74)代理人 弁理士 丸島 儀一

(54) 【発明の名称】 位置合わせ方法及びそれを用いた素子の製造方法

(57) 【要約】

【目的】 基板に層を形成する際、前記層以前形成された複数の層と前記層との各位置合せ精度が制御できる位置合わせ方法を得ること。

【構成】 基板に層を形成する際、前記層以前に形成された層と前記層を位置合せする位置合わせ方法で、前記層以前に形成された少なくとも2つ以上の層の各々に形成されているマークの位置を各々計測する工程と、前記各層のマーク位置の計測結果に基づいて前記層を形成する工程とを有する。



1

2

【特許請求の範囲】

【請求項1】 基板に層を形成する際、前記層以前に形成された層と前記層を位置合せする位置合わせ方法において、

前記層以前に形成された少なくとも2つ以上の層の各々に形成されているマークの位置を各々計測する工程と、前記各層のマーク位置の計測結果に基づいて前記層を形成する工程と、を有することを特徴とする位置合わせ方法。

【請求項2】 前記層形成工程は、前記層と前記層以前に形成された各層との位置合わせ必要精度に応じて、前記層以前に形成された各層のマークの位置計測結果を重みづけ平均を行った結果に基づいて行われることを特徴とする請求項1の位置合わせ方法。

【請求項3】 レジストが塗布されたウエハ面上のアライメントマークの位置を位置検出装置により測定してマスク（又はレチクル）とウエハとの位置合わせを行った後にマスク面上のパターンを投影光学系によりウエハ面上のレジストに投影露光し、次いで該ウエハのレジストを現像処理してウエハ面上に前記パターンの層を形成し素子を製造する方法において、

前記パターンの層以前に形成された少なくとも2つ以上の層の各々に形成されているアライメントマークの位置を各々計測する工程と、

前記複数の計測結果に基づいて前記マスクと前記ウエハとの位置合わせを行う工程と、を有することを特徴とする素子の製造方法。

【請求項4】 前記位置合わせ工程は、前記層と前記層以前に形成された各層との位置合わせ必要精度に応じて、前記層以前に形成された各層のマークの位置計測結果を重みづけ平均を行った結果に基づいて行われることを特徴とする請求項3の素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、位置合わせ方法に関し、特に半導体製造における位置合わせ方法及びそれを用いた素子の製造方法に関する。

【0002】

【従来の技術】 一般に、10～30程度の膜を基板上に順次成膜することによって、半導体を形成する。基板上に形成された膜は層と呼ばれる。各々の層パターンは、あらかじめ定められた基板上の水平位置に形成されなければならない。このために、ある層を基板上に形成する場合には、その層以前の層においてあらかじめ作られた位置合わせのためのマークを計測し、その計測値に応じて膜付けの位置を定める。

【0003】 従来、最も位置合わせ精度が必要とされる層においてアライメントマークを形成し、そのアライメントマークの位置を計測して露光を行なっていた。あるいは半導体形成のための膜付けに先立って、アライメン

トマークを形成するための工程を行ない、この工程で形成されたマークに以後のすべての層を合わせるという方法も提案されている。

【0004】

【発明が解決しようとする課題】 現実の半導体製造においては、ある層の位置に着目した場合、特定の単一の層だけでなく、いくつかの層との位置関係が特に重要となっている。例えば絶縁層（C層）を形成する場合、C層の下層である導通層（B層）とB層の下層である被絶縁層（A層）のそれぞれに対して、あらかじめ定められた余裕を持って位置決めする必要がある。もしA層とB層のどちらか一方に対して、余裕以上の位置ずれが生じると、半導体製造における歩留に大きな影響を与える。

【0005】 従来、上記例のA層でアライメントマークを形成し、そのマークに合わせてB層とC層を形成していた。このとき、B層とC層の間の位置関係は、A層を経由して決定されることとなる。A層とC層の位置合わせ誤差を ε_a 、A層とB層の位置合わせ誤差を ε_b とすると、B層とC層の位置合わせ誤差は $(\varepsilon_a^2 + \varepsilon_b^2)^{1/2}$ となる。この方法では、C層とA層、C層とB層の両方の相対位置余裕が同じとしても、結局値の厳しいC層とB層の位置合わせ精度によって歩留まりが決定されてしまう。

【0006】 本発明はこの状況を鑑みて考案されたもので、上記複数の層においてマークを形成し、複数の層のマークの位置の統計計算に従ってアライメントを行なうものである。

【0007】

【課題を解決するための手段】 本発明の位置合わせ方法は、基板に層を形成する際、前記層以前に形成された層と前記層を位置合せする位置合わせ方法で、前記層以前に形成された少なくとも2つ以上の層の各々に形成されているマークの位置を各々計測する工程と、前記各層のマーク位置の計測結果に基づいて前記層を形成する工程とを有することを特徴としている。

【0008】 前記層形成工程の好ましい形態は、前記層と前記層以前に形成された各層との位置合わせ必要精度に応じて、前記層以前に形成された各層のマークの位置計測結果を重みづけ平均を行った結果に基づいて行われることを特徴としている。

【0009】 本発明の素子の製造方法は、レジストが塗布されたウエハ面上のアライメントマークの位置を位置検出装置により測定してマスク（又はレチクル）とウエハとの位置合わせを行った後にマスク面上のパターンを投影光学系によりウエハ面上のレジストに投影露光し、次いで該ウエハのレジストを現像処理してウエハ面上に前記パターンの層を形成し素子を製造する方法で、前記パターンの層以前に形成された少なくとも2つ以上の層の各々に形成されているアライメントマークの位置を各

々計測する工程と、前記複数の計測結果に基づいて前記マスクと前記ウエハとの位置合わせを行う工程とを有することを特徴としている。

【0010】前記位置合わせ工程の好ましい形態は、前記層と前記層以前に形成された各層との位置合わせ必要精度に応じて、前記層以前に形成された各層のマークの位置計測結果を重みづけ平均を行った結果に基づいて行われることを特徴としている。

【0011】

【実施例】図1は本発明に関わるアライメント装置を示す。図1において、Rはレチクル、Wはウエハ、1は投影露光レンズ、Sはアライメント用の光学系である。またSの構成要素として、2はアライメント用の照明装置、3はビームスプリッタ、4はアライメントコープ、5は撮像装置である。

【0012】アライメント用の照明装置2からの光はビームスプリッタ3、投影露光レンズ1を介してウエハW上のマークを照明し、マークの像是投影レンズ1、ビームスプリッタ3、アライメントスコープ4を介して撮像装置5に結像される。6のA/D変換装置は、撮像装置5からの撮像信号をデジタル信号に変換する。このデジタル信号は、7で積算された後、8の位置検出装置でテンプレートマッチング法により、位置検出される。8は、 α 、 β 、 γ のテンプレートを持ち、マークの種類に応じて処理を高速で切り替えることができる。各々のマークの位置計測情報は、ショット毎に9のCPUで統計処理されて、10のステージ駆動装置へ指令される。

【0013】図2に本発明に関わるアライメントマーク配置の例を示す。図2(a)はショット内の平面配置*

$$E_{b-c} = \frac{1}{2} (\varepsilon_a + (\varepsilon_a^2 + \varepsilon_b^2)^{1/2}) \leq (\varepsilon_a^2 + \varepsilon_b^2)^{1/2}$$

となり、B層のアライメントマークの計測結果だけより位置合わせ誤差が小さくなる。ただし、B層を形成している時としている時のA層のアライメントマークの計測誤差 ε_a は同じとしている。

【0014】次に、各々の層間の必要位置合わせ精度が※

$$c = M_a / (M_a + M_b) * a + M_b / (M_a + M_b) * b \dots (1)$$

$$M_a = 1 / (C_a - \varepsilon_a), M_b = 1 / (C_b - \varepsilon_b)$$

以上は2層の場合であるが、対象とする層が3層以上の場合は2層の場合と同様に計算できる。

【0015】チップの回転や倍率を計測して、アライメントする場合においても、その目標値の計算は(1)式に準じる。図5、図6にその例を示す。図5に示すように、1つの計測ショットに4個のマークを付ければ、チップの並進成分だけでなく、チップ回転とチップ倍率を求めることができる。各マークの計測値と位置を表1の

*図、(b)はマークの段差構造を示す。11、13はA層で形成されたアライメントマーク、12、14はB層で形成されたアライメントマークを表わす。

【0016】図3にグローバルアライメント時の計測ショット配置の例を、図4にその例における計測露光シーケンスを示す。グローバルアライメントでは、あらかじめサンプルしたショットの位置計測しか行なわないため、ウエハの処理時間の内で計測にかかる時間が少ない。したがって、本発明のようにA層及びB層のマークを検出する為ショットあたりの計測時間が約2倍になる場合でも、全体のスループットに与える影響は小さい。一般に、テンプレートマッチング法によって位置計測を行なう場合、アライメントマークの段差構造によってテンプレートを変更する必要がある。本発明では、複数のテンプレートメモリを利用し、これを高速に切り替えている。

【0017】A層のアライメントマークの位置計測から得られるショットの位置をa、計測誤差を ε_a 、B層のアライメントマークの位置計測から得られるショットの位置をb、計測誤差を ε_b とすると、この時のC層を形成する為のショットの目標位置Cを次式のように計算する。

【0018】

【外1】

$$c = \frac{1}{2} (a + b)$$

この時のB層とC層の位置合わせ誤差 E_{b-c} は、

【0019】

【外2】

※異なる場合は、半導体設計時に定められる量である。各々の層間で必要とされる位置合わせ精度を、ここではC層とA層との必要精度を C_a 、C層とB層との必要精度を C_b として、このときC層を形成する為のショットの目標位置cは次式で計算される。

40 ように定めると、図6に図示する計算方法により、A層とのチップ回転誤差 R_a 、B層とのチップ回転誤差 R_b が求まり、その平均からチップ回転補正値Rを定めることができる。チップ倍率Mについても同様に求まり、露光倍率を微調することにより、チップ全域でのアライメントが可能となる。以下に補正計算式を示す。

【0020】

【表1】

表1 マークの階元

マーク番号	計測値	マークx座標	y座標
11d	x _{11d}	11dx	11dy
12d	x _{12d}	12dx	12dy
13d	y _{13d}	13dx	13dy
14d	y _{14d}	14dx	14dy
11u	x _{11u}	11ux	11uy
12u	x _{12u}	12ux	12uy
13u	y _{13u}	13ux	13uy
14u	y _{14u}	14ux	14uy

【0021】

* * 【外3】

$$R = (R_A + R_B)$$

$$R_A = \frac{11_{ux}}{11_{ux}^2 + 11_{uy}^2} X_{11u} + \frac{13_{uy}}{13_{ux}^2 + 13_{uy}^2} Y_{11u} + \frac{11_{dx}}{11_{dx}^2 + 11_{dy}^2} X_{11d} + \frac{13_{dy}}{13_{dx}^2 + 13_{dy}^2} Y_{11d}$$

$$R_B = \frac{12_{ux}}{12_{ux}^2 + 12_{uy}^2} X_{12u} + \frac{14_{uy}}{14_{ux}^2 + 14_{uy}^2} Y_{12u} + \frac{12_{dx}}{12_{dx}^2 + 12_{dy}^2} X_{12d} + \frac{14_{dy}}{14_{dx}^2 + 14_{dy}^2} Y_{12d}$$

$$M = (M_A + M_B)$$

$$M_A = \frac{11_{uy}}{11_{ux}^2 + 11_{uy}^2} X_{11u} + \frac{13_{ux}}{13_{ux}^2 + 13_{uy}^2} Y_{11u} + \frac{11_{dy}}{11_{dx}^2 + 11_{dy}^2} X_{11d} + \frac{13_{dx}}{13_{dx}^2 + 13_{dy}^2} Y_{11d}$$

$$M_B = \frac{12_{uy}}{12_{ux}^2 + 12_{uy}^2} X_{12u} + \frac{14_{ux}}{14_{ux}^2 + 14_{uy}^2} Y_{12u} + \frac{12_{dy}}{12_{dx}^2 + 12_{dy}^2} X_{12d} + \frac{14_{dx}}{14_{dx}^2 + 14_{dy}^2} Y_{12d}$$

【0022】次に上記説明した位置合わせ方法を利用した半導体デバイスの製造方法の実施例を説明する。図7は半導体デバイス（ICやLSI等の半導体チップ、あるいは液晶パネルやCCD等）の製造のフローを示す。ステップ1（回路設計）では半導体デバイスの回路設計を行なう。ステップ2（マスク製作）では設計した回路パターンを形成したマスクを製作する。一方、ステップ3（ウエハ製造）ではシリコン等の材料を用いてウエハを製造する。ステップ4（ウエハプロセス）は前工程と呼ばれ、上記用意したマスクとウエハを用いて、リソグラフィ技術によってウエハ上に実際の回路を形成する。次のステップ5（組み立て）は後工程と呼ばれ、ステップ4によって作製されたウエハを用いて半導体チップ化する工程であり、アッセンブリ工程（ダイシング、ボンディング）、パッケージング工程（チップ封入）等の工程を含む。ステップ6（検査）ではステップ5で作製された半導体デバイスの動作確認テスト、耐久性テスト等の検査を行なう。こうした工程を経て半導体デバイスが完成し、これが出荷（ステップ7）される。

【0023】図8は上記ウエハプロセスの詳細なフローを示す。ステップ11（酸化）ではウエハの表面を酸化

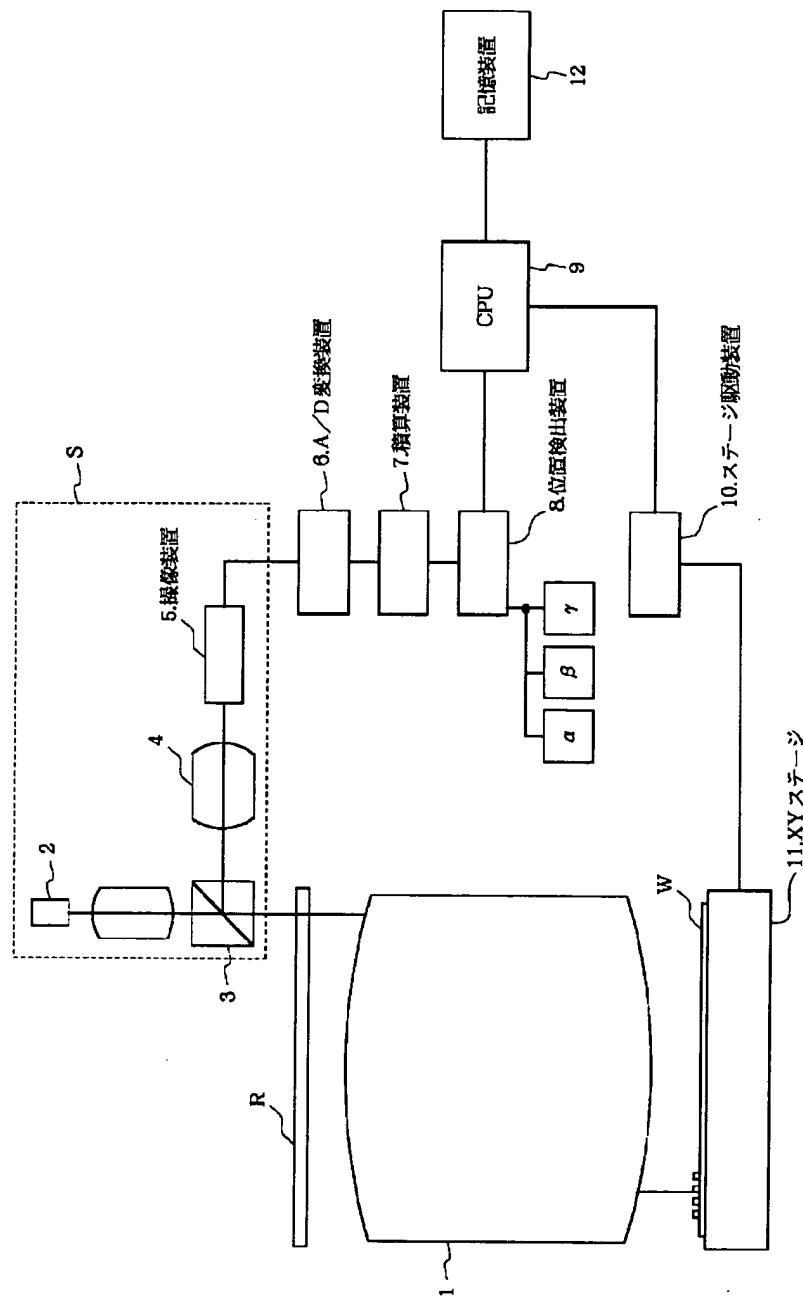
させる。ステップ12（CVD）ではウエハ表面に絶縁膜を形成する。ステップ13（電極形成）ではウエハ上に電極を蒸着によって形成する。ステップ14（イオン打込み）ではウエハにイオンを打ち込む。ステップ15（レジスト処理）ではウエハに感光剤を塗布する。ステップ16（露光）では上記説明した位置合わせ方法によって位置合わせしてマスクの回路パターンをウエハに焼付露光する。ステップ17（現像）では露光したウエハを現像する。ステップ18（エッティング）では現像したレジスト像以外の部分を削り取る。ステップ19（レジスト剥離）ではエッティングが済んで不要となったレジストを取り除く。これらのステップを繰り返し行なうことによって、ウエハ上に多重に回路パターンが形成される。

【0024】本実施例の製造方法を用いれば、従来は製造が難しかった高集積度の半導体デバイスを製造することができる。

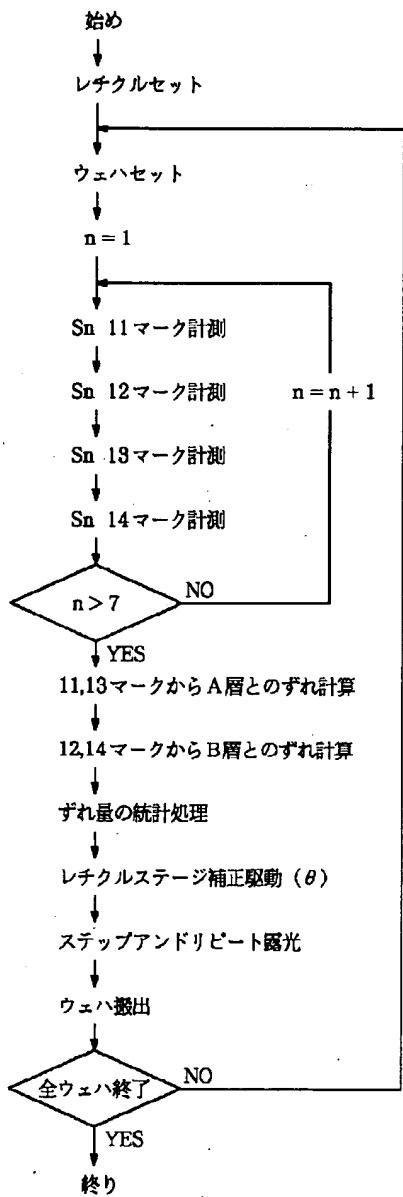
【0025】

【発明の効果】以上説明したように、本発明によれば、基板に層を形成する際、前記層以前に形成された複数の層と前記層との各位置合わせ精度が制御できるためあらか

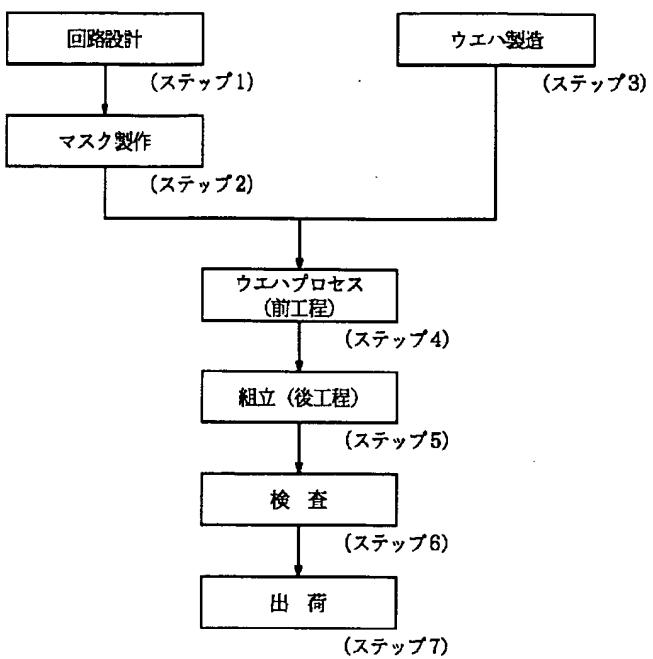
【図1】



【図4】



【図7】



半導体デバイス製造フロー

フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

525 N
525 W